

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Don-Woo LEE et al. :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: February 23, 2004 : Attorney Docket No. SEC.1143
For: METHOD OF FORMING A CONDUCTIVE PATTERN OF A SEMICONDUCTOR
DEVICE AND METHOD OF MANUFACTURING A NON-VOLATILE
SEMICONDUCTOR MEMORY DEVICE USING THE SAME

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date under the
International Convention of the following Korean application:

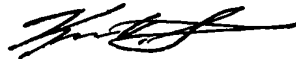
Appln. No. 10-2003-0012429 filed February 27, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

 REG. 39,843 for
Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: February 23, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0012429
Application Number

출원 년 월 일 : 2003년 02월 27일
Date of Application FEB 27, 2003

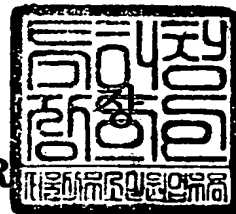
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.27
【발명의 명칭】	반도체 장치의 도전성 패턴 형성 방법 및 이를 이용한 불휘발성 메모리 장치의 제조 방법
【발명의 영문명칭】	METHOD OF MANUFACTURING CONDUCTIVE PATTERN OF A SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING FLASH MEMORY DEVICE USING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이돈우
【성명의 영문표기】	LEE, Don Woo
【주민등록번호】	691104-1167513
【우편번호】	442-812
【주소】	경기도 수원시 팔달구 영통동 970-3 벽적골 주공아파트 913동 903호
【국적】	KR
【발명자】	
【성명의 국문표기】	권철순
【성명의 영문표기】	KWON, Chul Soon
【주민등록번호】	620109-1345426
【우편번호】	135-280
【주소】	서울특별시 강남구 대치동 101동 701호
【국적】	KR

【발명자】**【성명의 국문표기】**

이창엽

【성명의 영문표기】

LEE, Chang Yup

【주민등록번호】

700417-1691421

【우편번호】

441-390

【주소】

경기도 수원시 권선구 권선동 1305 대우아파트 322-1202

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
박영우 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

18 면 18,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

20 항 749,000 원

【합계】

796,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

향상된 평탄도를 갖는 도전성 패턴의 형성 방법 및 이를 이용한 불휘발성 메모리 장치의 제조 방법이 개시되어 있다. 기판 상에 도전층을 형성하고, 도전층을 포함한 반도체 기판 상에 연마 저지층을 형성한 후, 연마 저지층 상에 단차 보상층을 형성하여 도전층으로 인해 발생하는 연마 저지층의 단차를 완화시킨다. 단차 보상층 및 연마 저지층을 부분적으로 제거하여 도전층을 노출시킨 다음, 연마 저지층과 도전층을 식각하여 도전성 패턴을 형성한다. 2회의 평탄화 공정을 통하여 기판 상에 도전성 패턴 및 컨트롤 게이트 등을 포함하는 반도체 장치의 구조물을 형성하기 때문에 도전성 패턴이나 반도체 장치 구조물의 평탄도를 크게 향상시킬 수 있으므로, 반도체 장치의 특성을 일정하게 유지할 수 있으며, 반도체 장치의 신뢰도를 향상시킬 수 있다. 또한, 전체적인 반도체 제조 공정에 소요되는 시간을 단축할 수 있을 뿐만 아니라 반도체 장치의 제조 원가를 절감할 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

반도체 장치의 도전성 패턴 형성 방법 및 이를 이용한 불휘발성 메모리 장치의 제조 방법{METHOD OF MANUFACTURING CONDUCTIVE PATTERN OF A SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING FLASH MEMORY DEVICE USING THE SAME}

【도면의 간단한 설명】

도 1a 내지 도 1f는 종래의 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 2는 본 발명의 일 실시예에 의한 반도체 장치의 도전성 패턴의 형성 방법을 설명하기 위한 순서도이다.

도 3a 내지 3e는 도 2의 도전성 패턴의 형성 방법에 따라 반도체 장치의 도전성 패턴을 형성하는 과정들을 나타내는 단면도들이다.

도 4는 본 발명의 다른 실시예에 의한 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 순서도이다.

도 5a 내지 5i는 도 4의 불휘발성 메모리 장치의 제조 방법에 따라 불휘발성 메모리를 제조하는 과정들을 나타내는 단면도들이다.

* 도면의 주요부분에 대한 부호의 설명 *

100, 200 : 반도체 기판 102 : 도전층

104, 140 : 연마 저지층 106, 150 : 단차 보상층

108 : 도전성 패턴 110 : 하부 구조물

111 : 플로팅 게이트 120 : 소스 라인

115 : 스페이서 130 : 제2 도전층

132 : 컨트롤 게이트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 장치의 도전성 패턴 형성 방법 및 이를 이용한 불휘발성 메모리 장치의 제조 방법에 관한 것으로서, 보다 상세하게는 현저하게 개선된 평탄도를 갖는 도전성 패턴의 형성 방법 및 이러한 방법을 이용한 불휘발성 메모리 장치의 제조 방법에 관한 것이다.

<14> 일반적으로 반도체 메모리 장치는 휘발성 메모리 장치와 불휘발성 메모리 장치로 대별될 수 있다. 휘발성 메모리 장치는 전원이 끊어지면 기억 내용을 잃어버리는 메모리 장치이고, 불휘발성 메모리 장치는 전원이 끊어져도 기억 내용을 간직하고 있는 메모리 장치이다. 최근에는 불휘발성 메모리 장치 중 전기적으로 데이터의 입·출력이 가능한 플래쉬 메모리(flash memory)에 대한 수요가 늘고 있다.

<15> 플래쉬 메모리는 스택형(stacked type)과 스플릿 게이트형(split gate type)으로 대별할 수 있는 데, 스플릿 게이트형 플래쉬 메모리는 플로팅 게이트(floating gate)와 컨트롤 게이트(control gate)가 분리된 구조를 갖는다.

<16> 플로팅 게이트는 외부와 전기적으로 완전히 절연되어 고립된 구조를 가지고 있으며, 이 플로팅 게이트로의 전자 주입(쓰기)과 방출(지우기)에 따라 메모리

셀(cell)의 전류가 변하는 성질을 이용하여 정보를 저장한다. 플로팅 게이트로의 전자 주입은 채널(channel)에서의 고온 전자(hot electron)를 이용한 CHEI(channel hot electron injection) 방식으로 이루어지며, 전자 방출은 플로팅 게이트와 컨트롤 게이트 사이의 절연막을 통한 F-N(Fowler-Nordheim) 터널링(tunnelling)이 이용된다. 또한, 전자 주입(program)과 방출(erase)에 관련된 전압 배분은 등가 캐패시터 모델(capacitor model)로 설명될 수 있다. 최근, 스플릿 게이트형 플래쉬 메모리 소자는 데이터 저장용 소자로 사용량이 증가하고 있는 추세에 있다.

<17> 도 1a 내지 도 1f은 종래의 스플릿 게이트형 플래쉬 메모리 장치의 형성 방법을 설명하기 위한 단면도들을 도시한 것이다. 도 1a 내지 도 1f에 도시한 바에 따르면, 사진 식각 공정을 사용하지 않고 자기정렬(self-align) 방법을 사용하여 스플릿 게이트형 플래쉬 메모리 장치를 제조한다.

<18> 도 1a를 참조하면, 반도체 기판(5)상에 제1 산화막(10) 및 제1 도전층(20)을 차례로 형성한 다음, 플래쉬 메모리의 플로팅 게이트로 패터닝되는 제1 도전층(20) 상에 제1 질화막(30)을 형성한다.

<19> 이어서, 사진 식각 공정을 이용하여 제1 질화막(30)을 부분적으로 식각하여 제1 도전층(20)을 노출시킨 후, 노출된 제1 도전층(20) 및 제1 질화막(30) 상에 제2 산화막(40)을 형성한다.

<20> 도 1b를 참조하면, 에치 백(etch back) 공정으로 제2 산화막(40)을 식각함으로써 제1 도전층(20)을 노출시키는 제1 질화막(30)의 측벽에 스페이서(spacer)(45)를 형성한 후, 스페이서(45)를 마스크(mask)로 하여 제1 도전층(20) 및 제1 산화막(10)을 부분적으로 제거하여 반도체 기판(5)을 노출시킨다.

- <21> 계속하여, 이온 주입 공정으로 노출된 반도체 기판(5)에 불순물을 주입하여 소스 영역(50)을 형성한 다음, 기판(5)에 형성된 소스 영역(50)에 접촉되는 소스 라인(60)을 형성한다.
- <22> 도 1c를 참조하면, 인산을 사용하여 제1 질화막(30)을 제거한다. 이 때, 제1 질화막(30) 하부의 제1 도전층(20) 및 제1 산화막(10)이 노출된다.
- <23> 계속하여, 스페이서(45)를 마스크로 하여 노출된 제1 도전층(20) 및 제1 산화막(10)을 제거하여 산화막 패턴(15) 및 플로팅 게이트(25)를 형성한 다음, 상기 결과물 상에 후속하여 형성되는 제2 도전층(70)과 플로팅 게이트(25)의 절연을 위한 제3 산화막(도시되지 않음) 형성한다
- <24> 이어서, 상기 제3 산화막 상에 컨트롤 게이트로 패터닝되는 제2 도전층(70)을 형성하고, 제2 도전층(70) 상에 제2 질화막(80)을 형성한다.
- <25> 도 1d를 참조하면, 소스 영역(50)에 접촉되는 소스 라인(60)이 노출될 때까지 제2 질화막(80) 및 제2 도전층(70)을 화학 기계적 연마 공정으로 제거하여 제2 도전층(70)을 평탄화시킨다. 이 경우, 제2 질화막(80)은 상기 스페이서(45) 주변의 상대적으로 단차가 낮은 부위의 제2 도전층(70) 상에만 부분적으로 잔류하게 된다. 이에 따라, 스페이서(45)와 잔류하는 제2 질화막(80) 사이의 제2 도전층(70)의 상면과 소스 라인(60)의 상면이 노출된다.
- <26> 도 1e를 참조하면, 노출된 제2 도전층(70) 및 소스 라인(60)을 산화시켜 제2 도전층(70) 및 소스 라인(60) 상에 제4 산화막(65, 75)을 형성한 다음, 제2 도전층(70) 상에 잔류하는 제2 질화막(80)을 습식 식각(wet etching) 공정으로 제거한다.

- <27> 이어서, 제4 산화막(65, 74)을 마스크로 이용하여 제2 도전층(70)을 패터닝하여 플로팅 게이트(25)에 인접하는 컨트롤 게이트(95)를 형성한다. 이 때, 마스크로 이용된 제4 산화막(65, 75)은 제2 도전층(70)을 식각하는 과정에서 대부분 소모되며, 후속하는 세정 공정 및 실리사이드(silicide) 전처리 공정에서 완전히 제거된다.
- <28> 계속하여, 컨트롤 게이트(95)의 측벽에 질화막 스페이서(92)를 형성하고, 컨트롤 게이트(95)에 인접하는 기판(50)에 이온 주입 공정으로 드레인 영역(90)을 형성한다.
- <29> 다음에, 실리사이드(silicide) 공정 및 메탈 공정을 통하여 상기 드레인 영역(90)에 접촉되는 드레인 콘택(82)과 상기 결과물 상부에 금속 배선(80)을 형성함으로써, 스플릿 구조의 플래쉬 메모리 장치를 완성한다.
- <30> 그러나, 상술한 종래의 자기정렬 방식을 이용한 불휘발성 메모리 장치의 제조 방법에 있어서, 도 1c 및 도 1d에 도시한 바와 같이 화학 기계적 연마 공정에 의해 제2 도전층(70)을 평탄화하는 경우, 주변부에 비하여 돌출된 중심부를 갖는 구조의 메모리 셀 상에 연마 저지층(polishing stopper layer)으로 기능하는 제2 질화막(80)이 형성된 상태에서 화학 기계적 연마 공정을 진행하기 때문에, 화학 기계적 연마 공정의 특성상 셀 블록의 중심과 에지 사이에 연마되는 양의 차이가 발생하여 전체 셀 내에서 균일한 연마 프로파일 유지가 어려워지게 되는 문제점이 있다. 이는 결국 플래쉬 메모리 장치에서 컨트롤 게이트가 안정적으로 형성되는 것을 방해하여 셀 성능을 저하시키는 문제점을 유발하게 된다.
- <31> 상술한 문제점을 고려하여 화학 기계적 연마 공정에서 양호한 프로파일을 얻기 위하여, 일본 공개 특허 제2001-023981호에는 반도체 기판 상부에 형성되는 패턴의 조밀 차이에 기인하는 화학 기계적 연마 공정의 연마 속도 차이를 감소시켜 화학적 기계적 연

마 공정 후 남게 되는 잔류막의 분포를 균일하게 하는 방법이 개시되어 있다. 상기 일본 공개 특허에 따르면, 배선 패턴이 형성된 반도체 기판 상에 층간 절연막 및 포토레지스트막을 도포한 후, 에치 백 공정으로 상기 층간 절연막의 오목한 단차 부위에만 상기 포토레지스트막을 잔류시킨다. 이러한 잔류하는 레지스트막을 마스크로 이용하여 상기 층간 절연막을 식각한 다음, 잔류하는 포토레지스트막을 제거하고, 상기 층간 절연막에 대하여 화학 기계적 연마 공정을 수행함으로써, 화학 기계적 연마 공정 후 잔류막의 높이를 균일하게 한다.

<32> 그러나, 상술한 방법에 따르더라도 플로팅 게이트를 포함하는 돌출 구조를 갖는 플래쉬 메모리의 셀 상에 도전층과 질화물 연마 저지층을 형성하고 이들을 화학 기계적 연마 공정으로 연마함에 있어서, 셀의 주변부에 비하여 중심부가 돌출되게 형성된 연마 저지층의 존재에 기인하는 연마량의 차이로 인하여 컨트롤 게이트 또는 워드 라인을 안정적인 구조로 형성할 수 없는 문제점이 남게 된다.

【발명이 이루고자 하는 기술적 과제】

<33> 따라서, 본 발명의 제1 목적은 단차 보상층을 적용하여 현저하게 향상된 평탄도를 가지는 반도체 장치의 도전성 패턴의 형성 방법을 제공하는 것이다.

<34> 본 발명의 제2 목적은 상기 도전성 패턴의 형성 방법을 이용하여 안정적인 구조를 갖는 도전성 패턴을 포함하는 불휘발성 메모리 장치의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<35> 상술한 본 발명의 제1 목적을 달성하기 위하여, 본 발명의 바람직한 일 실시예에 따른 반도체 장치의 도전성 패턴 형성 방법에 의하면, 반도체 기판 상에 도전층을 형성

하고, 상기 도전층을 포함하는 상기 반도체 기판 상에 연마 저지층을 형성한 후, 상기 도전층에 의해 발생하는 상기 연마 저지층의 단차를 완화하기 위하여 상기 연마 저지층 상에 단차 보상층을 형성한다. 이어서, 상기 단차 보상층 및 상기 연마 저지층을 부분적으로 제거하여 상기 도전층을 노출시킨 다음, 상기 도전층을 식각하여 상기 반도체 기판 상에 도전성 패턴을 형성한다. 이 경우, 상기 연마 저지층은 탄소, 산화물 및 질화물로 이루어진 그룹 중에서 선택된 어느 하나로 형성될 수 있으며, 상기 단차 보상층은 유동성을 갖는 물질로 형성된다. 또한, 에치 백 공정과 같은 제1 평탄화 공정을 이용하여 상기 단차 보상층 및 상기 연마 저지층을 부분적으로 제거함으로써, 상기 도전층이 노출되며, 화학 기계적 연마 공정과 같은 제2 평탄화 공정을 통하여 상기 단차 보상층, 상기 연마 저지층 및 상기 도전층을 식각함으로써, 상기 도전성 패턴이 형성된다.

<36> 상술한 본 발명의 제2 목적을 달성하기 위하여, 본 발명의 다른 바람직한 실시예에 따른 불휘발성 메모리 장치의 제조 방법에 의하면, 반도체 기판 상에 플로팅 게이트를 포함하는 구조물을 형성하고, 상기 구조물을 포함하는 반도체 기판 상에 도전층을 형성한 후, 상기 도전층상에 연마 저지층을 형성하고, 상기 구조물에 의해 발생하는 상기 연마 저지층의 단차를 완화하기 위하여 상기 연마 저지층 상에 단차 보상층을 형성한다. 계속하여, 상기 단차 보상층 및 상기 연마 저지층을 부분적으로 제거하여 상기 도전층을 노출시키고, 상기 도전층을 부분적으로 식각하여 상기 구조물에 인접하는 도전성 패턴을 형성한 다음, 상기 도전성 패턴 상에 산화막을 형성하고, 상기 산화막을 마스크로 하여 상기 도전성 패턴을 식각하여 상기 플로팅 게이트에 인접하는 컨트롤 게이트를 형성한다.

<37> 본 발명에 의하면, 단차 보상층을 적용하고 수회의 평탄화 공정을 통하여 반도체 기판 상에 도전성 패턴 및 컨트롤 게이트 등을 포함하는 반도체 장치의 구조물을 형성하기 때문에 도전성 패턴이나 반도체 장치 구조물의 평탄도를 크게 향상시킬 수 있다. 따라서, 반도체 장치의 특성을 일정하게 유지할 수 있으며, 반도체 장치의 신뢰도를 향상시킬 수 있다. 또한, 일차적으로 에치 백 공정으로 평탄화된 연마 저지층과 도전층을 이차적인 평탄화 공정인 화학 기계적 연마 공정으로 연마하기 때문에 도전성 패턴이나 반도체 장치의 구조물을 형성하기 위한 화학 기계적 연마 공정의 공정 시간을 현저하게 단축할 수 있다. 그 결과, 전체적인 반도체 제조 공정에 소요되는 시간을 단축할 수 있을 뿐만 아니라 반도체 장치의 제조 원가를 절감할 수 있다.

<38> 이하, 첨부도면을 참조하여 본 발명의 바람직한 실시예들에 의한 반도체 장치의 도전성 패턴 형성 방법 및 이를 이용한 불휘발성 메모리 장치의 제조 방법을 상세하게 설명한다.

<39> 도 2는 본 발명의 일 실시예에 따른 반도체 장치의 도전성 패턴 형성 방법을 설명하기 위한 순서도를 도시한 것이다.

<40> 도 2를 참조하면, 본 실시예에 의한 도전성 패턴의 형성 방법에 따르면, 먼저, 반도체 기판 상에 도전층을 형성하고(S11), 상기 도전층 상에 연마 저지층을 형성한다(S12). 이 때, 연마 저지층에는 상기 도전층 상에 위치하는 부분과 상기 반도체 기판 상에 위치하는 부분 사이에 높이의 차이로 인한 단차가 생성된다.

<41> 이어서, 상기 연마 저지층상에 연마 저지층의 단차를 해소하여 화학 기계적 연마 공정의 균일도를 향상시키는 단차 보상층을 형성한 다음(S13), 제1 및 제2 평탄화 공정

을 통하여 상기 단차 보상층, 연마 저지층 및 상기 도전층을 연마함으로써, 반도체 기판 상에 그 상부의 평탄도가 크게 향상된 도전성 패턴을 정확한 치수로 형성한다(S14).

<42> 이하, 본 실시예에 따른 도전성 패턴의 형성 방법을 보다 상세하게 설명한다. 도 3a 내지 3e는 도 2의 도전성 패턴의 형성 방법에 따라 반도체 장치의 도전성 패턴을 형성하는 과정들을 나타내는 단면도들을 도시한 것이다.

<43> 도 3a를 참조하면, 반도체 기판(100) 상에 폴리실리콘 또는 도핑된 폴리실리콘이나 구리, 텅스텐, 알루미늄 또는 티타늄 등의 금속으로 구성된 도전층(102)을 형성한다. 이 경우, 반도체 기판(100) 상에 산화막이나 질화막 등과 같은 절연막(도시되지 않음)을 먼저 형성한 다음, 상기 절연막 상에 도전층(102)을 형성할 수 있다. 여기서, 도전층(102)은 반도체 장치의 전극이나 플러그 또는 비트 라인 내지 워드 라인 등과 같은 배선 라인으로 패터닝되는 하부 구조물들을 총칭하며, 증착되는 도전체의 종류에 따라 화학 기상 증착 공정, 물리 기상 증착(Physical Vapor Deposition; PVD) 공정 또는 스퍼터링 공정 등을 이용하여 형성한다.

<44> 도 3b를 참조하면, 도전층(102)을 포함하는 반도체 기판(100) 상에 연마 공정 시 광역 평탄화(global planarization)를 달성할 수 있는 질화물로 이루어진 연마 저지층(104)을 형성한다.

<45> 상기 연마 저지층(104)은 실리콘 질화물, 알루미늄 질화물 또는 보론 질화물 등과 같은 질화물로 구성된다. 또한, 연마 저지층(104)은 알루미늄 산화물과 같은 산화물이나 다이아몬드상 탄소(diamond phased carbon)와 같은 탄소로 이루어질 수 있다. 예를 들면, 연마 저지층(104)은 N_2 , SiH_4 및 N_2O 가스를 반응 소스(source)로 사용하는 플라즈마

증대 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition: PECVD) 공정에 의해 형성된 실리콘 질화물로 이루어진다.

<46> 이 경우, 연마 저지층(104)은 도전층(102) 상에 위치하는 부분과 반도체 기판(100) 상에 직접 위치하는 부분 사이에 소정의 높이를 가지는 단차(S)를 포함하게 된다. 이와 같이, 연마 저지층(104)에 단차(S)가 형성된 상태에서 화학 기계적 연마 공정을 실시하게 되면, 연마 장치의 헤드가 연마 저지층(104)에 불균일하게 접촉되어 연마가 수행될 뿐만 아니라 상기 단차(S)를 중심으로 도전층(102)의 각 부분들이 상이한 양으로 연마되기 때문에 결국 연마에 따라 형성되는 도전성 패턴이 평탄한 상부를 갖지 못하게 된다.

<47> 도 3c를 참조하면, 연마 저지층(104)의 단차(S)를 극복하기 위하여, 연마 저지층(104) 상에 유동성 물질을 사용하여 화학 기상 증착 공정 또는 스핀 코팅 공정으로 단차 보상층(106)을 형성한다. 이 때, 단차 보상층(106)은 도전층(102) 상에 위치하는 연마 저지층(104) 상에는 상대적으로 얇은 두께로 형성되고, 반도체 기판(100) 상에 위치하는 연마 저지층(104) 상에는 상대적으로 두꺼운 두께로 형성되기 때문에, 도전층(102)의 존재에 연유하는 연마 저지층(104)의 단차(S)를 보상할 수 있게 된다.

<48> 상기 단차 보상층(106)으로는 유동성을 가지는 물질, 예를 들면, FOX(Flowable OXide), BPSG(Boron Phosphorus Silicate Glass), SOG(Spin On Glass), 포토 레지스트, USG(Undoped Silicate Glass), PSG(Phosphoro Silicate Glass), BSG(Boron Silicate Glass), 또는 TEOS(Tetra Ethyl Ortho Silicate) 등을 포함한다. 특히, 우수한 유동성을 갖는 FOX, SOG, 또는 포토레지스트를 이용하여 단차 보상층(106)을 형성하는 것이 바람직하다.

- <49> 도 3d를 참조하면, 단차 보상층(106) 및 연마 저지층(104)을 제1 평탄화 공정을 통하여 일차적으로 제거하여, 도전층(102)을 노출시킨다. 이 때, 노출된 도전층(102)을 중심으로 반도체 기판(100) 상에는 단차 보상층(106) 및 연마 저지층(104)이 잔류하게 된다. 상기 일차 평탄화 공정은 에치 백 공정으로 수행되는 것이 바람직하다. 상기 에치 백 공정은 건식 식각(dry etching) 공정의 일종으로서, SF_6 , CF_4 , 또는 CHF_3 등의 불소를 포함하는(fluorine-containing) 가스나 불소를 포함하는 가스에 Cl_2 를 첨가한 혼합 가스를 기초로 하는 불소 플라즈마(fluorine based plasma)를 이용하여 실시된다.
- <50> 도 3e를 참조하면, 도전층(102) 주변에 잔류하는 단차 보상층(106) 및 연마저지층(104)과 도전층(102)의 상부를 제1 평탄화 공정으로 제거하여, 반도체 기판(100) 상에 도전성 패턴(108)을 형성한다.
- <51> 상기 도전성 패턴(108)을 형성하기 위한 화학 기계적 연마 공정은 SiO_2 내지 Al_2O_3 와 같은 연마 입자, 산(acid)을 포함하는 에칭제, 그리고 표면 안정화제(passivating agent)를 함유하는 슬러리를 사용하여 실시한다. 이 경우, 상기 표면 안정화제는 표면 안정화층의 성장에 의해 도전체의 표면을 안정화시키며, 연마 입자는 도전체로부터 표면 안정화 층을 기계적으로 제거하며, 에칭제는 비표면 안정화 도전체를 에칭하는 역할을 한다.
- <52> 이어서, 도전성 패턴(104) 주변에 잔류하는 연마 저지층(104)을 인산 스트립 공정으로 제거하여 반도체 기판(100) 상에 도전성 패턴(108)을 완성한다.
- <53> 본 실시예에 따르면, 제1 평탄화 공정을 통하여 도전층(104) 상에 위치하는 불필요한 연마 저지층(104)을 일차적으로 제거하여 도전층(102)과 동일한 높이로 도전층(102)의 주변에 연마 저지층(104)이 남아 있게 한다. 이와 같은 상태에서, 제2 평탄화 공정을

수행하여 도전층(102)을 원하는 치수의 도전성 패턴(108)으로 형성하기 때문에, 반도체 기판(100) 상에 도전성 패턴(108)의 상부가 현저하게 향상된 평탄도를 가지게 된다.

<54> 또한, 일차적으로 평탄화된 연마 저지층(104)과 도전층(102)을 이차 평탄화 공정인 화학 기계적 연마 공정으로 연마하기 때문에 도전성 패턴(108)을 형성하기 위한 화학 기계적 연마 공정의 공정 시간을 단축할 수 있다. 이에 따라, 전체적인 반도체 제조 공정에 소요되는 시간을 단축할 수 있을 뿐만 아니라 반도체 장치의 제조 원가를 절감할 수 있다. 결과적으로, 반도체 장치의 특성을 일정하게 유지할 수 있으며, 장치의 신뢰도를 향상시킬 수 있다.

<55> 도 4는 본 발명의 다른 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 순서도를 도시한 것이다.

<56> 도 4를 참조하면, 본 실시예에 따르면, 먼저 그 상부에 절연막 패턴, 플로팅 게이트로 사용되는 제1 도전층 패턴 및 스페이서 등을 포함하는 하부 구조물이 형성되어 있는 반도체 기판을 제공한다(S31).

<57> 이어서, 상기 하부 구조물이 형성된 반도체 기판 상에 제2 도전층을 형성한 후(S32), 상기 제2 도전층 상에 연마 저지층과 단차 보상층(S33, S34)을 순차적으로 형성한다. 전술한 바와 마찬가지로, 상기 연마 저지층은 상기 구조물 상에 위치하는 부분과 상기 반도체 기판 상에 직접 위치하는 부분 사이에 높이의 차이로 인한 단차가 발생하게 된다. 이러한 연마 저지층의 단차는 상기 단차 보상층을 형성함으로써 해소될 수 있다.

<58> 계속하여, 예를 들면 에치 백 공정과 같은 제1 평탄화 공정을 통하여 상기 단차 보상층 및 상기 연마 저지층을 부분적으로 제거하여 상기 제2 도전층을 노출시킨 후(S35),

제2 평탄화 공정, 예를 들면, 화학 기계적 연마 공정으로 상기 노출된 제2 도전층, 상기 단차 보상층 및 상기 연마 저지층을 제거하여 상기 하부 구조물을 노출시키는 한편 소스 라인을 포함하는 하부 구조물 주변에 연마 저지층을 부분적으로 잔류시킨다(S36).

<59> 다음에, 노출된 제2 도전층 및 소스 라인을 산화하여 제2 도전층 및 소스 라인 상에 산화막을 형성한 다음(S37), 제2 도전층 상에 잔류하는 연마 저지층을 제거하여 제2 도전층 중 상기 산화막이 형성되지 않은 부분을 노출시킨다(S38). 마지막으로, 상기 노출된 제2 도전층을 제거하여 컨트롤 게이트를 형성한다(S39).

<60> 이하, 본 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 보다 상세하게 설명한다.

<61> 도 5a 내지 도 5i는 도 4의 불휘발성 메모리 장치의 제조 방법을 나타내는 단면도들을 도시한 것이다. 도 5a 내지 도 5i에 있어서, 사진 식각 공정을 이용하지 않고 자기 정렬 방법으로 스플릿 게이트형 플래쉬 메모리 장치를 제조하는 방법을 설명하지만 본 발명이 이에 의하여 한정되는 것은 아니다.

<62> 도 5a를 참조하면, 통상의 소자 분리 공정을 통하여 반도체 기판(200)에 셀 어레이 영역 및 주변 영역을 한정한다.

<63> 이어서, 스플릿 게이트형 플래쉬 메모리 장치를 제조하기 위하여, 열 산화법, 실리콘 부분 산화법 또는 화학 기상 증착 공정 등을 이용하여 반도체 기판(200) 상에 제1 산화막(도시되지 않음)을 형성한 후, 상기 제1 산화막 상에 플래쉬 메모리 장치의 플로팅 게이트로 패터닝될 제1 도전층(도시되지 않음)을 형성한다. 이 경우, 제1 도전층은 폴리

실리콘이나 도핑된 폴리실리콘으로 이루어지며, 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition: LPCVD)으로 형성된다.

- <64> 계속하여, 상기 제1 도전층 상에 제1 질화막(도시되지 않음)을 형성한 다음, 사진 식각 공정을 통하여 상기 제1 질화막을 부분적으로 식각하여 제1 도전층을 노출시킨다.
- <65> 다음에, 노출된 제1 도전층 및 제1 질화막 상에 제2 산화막(도시되지 않음)을 형성한 후, 상기 제2 산화막을 패터닝하여 상기 제1 도전층을 노출시키는 제1 질화막의 측벽에 스페이서(115)를 형성한다.
- <66> 이어서, 스페이서(115)를 마스크로 사용하여 상기 제1 도전층 및 제1 산화막을 부분적으로 제거하여 반도체 기판(200)의 일부를 노출시킨 다음, 이온 주입 공정으로 노출된 반도체 기판(200)에 불순물을 주입하여 소스 영역(도시되지 않음)을 형성한다.
- <67> 계속하여, 반도체 기판(200)의 상부에 상기 소스 영역에 접촉되는 소스 라인(120)을 형성한 후, 인산 스트립 공정을 이용하여 상기 제1 질화막을 제거한다. 이 에 따라, 상기 제1 질화막 아래의 제1 도전층 및 제1 산화막이 노출된다. 이 때, 소스 라인(120)은 폴리실리콘 또는 도핑된 폴리실리콘으로 이루어진다.
- <68> 이후에, 스페이서(115)를 마스크로 하여 노출된 제1 도전층 및 제1 산화막을 제거함으로써, 반도체 기판(200)의 셀 어레이 영역에 산화막 패턴(도시되지 않음), 플로팅 게이트(111), 스페이서(115) 및 소스 라인(120) 등을 포함하는 구조물(110)을 형성한다. 도 5a에 도시한 바와 같이, 상기 셀 어레이 영역에는, 예를 들면, 플로팅 게이트(111) 및 스페이서(115)를 구비하는 복수 개의 메모리 셀들 및 메모리

셀들 사이에 형성되는 소스 라인(120)과 같은 배선을 포함하는 하부 구조물(110)이 형성되지만, 반드시 이러한 구조에 한정되는 것은 아니다.

<69> 도 5b를 참조하면, 상기 하부 구조물(110)이 형성된 반도체 기판(200) 상에 컨트롤 게이트로 패터닝될 제2 도전층(130)을 형성한다. 이 경우, 플로팅 게이트(111)와 제2 도전층(130)의 전기적인 절연을 위하여 상기 하부 구조물(110) 상에는 산화물이나 질화물 또는 이들의 복합물로 이루어진 절연막(도시되지 않음)이 형성될 수 있다.

<70> 상기 제2 도전층(130)은 폴리실리콘이나 도핑된 폴리실리콘을 사용하여 화학 기상 증착 방법으로 형성된다. 이 때, 폴리실리콘 또는 아몰퍼스 실리콘을 사용하여 제2 도전층(130)을 형성한 다음, POCl_3 확산 방법, 이온 주입 방법, 또는 인-시튜 도핑 방법 등을 이용하여 제2 도전층(130)을 불순물로 도핑시킬 수도 있다.

<71> 도 5c를 참조하면, 상기 제2 도전층(130) 상에 전술한 바와 같이 탄소, 질화물 또는 산화물로 이루어진 연마 저지층(140)을 형성한다. 즉, 다이아몬드상 탄소, 알루미늄 산화물, 실리콘 질화물, 알루미늄 질화물, 또는 보론 질화물 등을 사용하여 연마 저지층(140)을 형성한다.

<72> 이 경우, 제2 도전층(130)과 연마 저지층(140)에는 하부 구조물(110) 상에 위치하는 부분들과 기판(200) 상에 위치하는 부분들 사이의 높이의 차이로 인하여 소정의 단차(S')가 발생하게 된다. 연마 저지층(140) 및 제2 도전층(130)에 단차(S')가 형성된 상태에서 곧장 연마 공정을 실시할 경우, 연마 장치의 헤드가 연마 저지층(140)에 불균일하게 접촉되어 비정상적으로 연마가 수행될 뿐만 아니라, 단차(S')를 중심으로 제2 도전층(140)의 부분들이 서로 상이한 양으로 연마되기 때문에 연마된 제2 도전층(140)의 평탄도가 크게 저하된다.

<73> 도 5d를 참조하면, 상기 연마 저지층(140) 및 제2 도전층(130)의 단차(S')를 극복하기 위하여, 연마 저지층(140) 상에 유동성 물질을 사용하여 화학 기상 증착 공정 또는 스퍼 코팅 공정으로 단차 보상층(150)을 형성한다. 이에 따라, 단차 보상층(150)은 하부 구조물(110) 상에 위치하는 연마 저지층(140) 상에는 상대적으로 얇은 두께로 형성되고, 나머지 부분의 연마 저지층(140) 상에는 상대적으로 두꺼운 두께로 형성되기 때문에, 하부 구조물(110)의 형성에 기인하는 제2 도전층(130)과 연마 저지층(140)의 단차(S')를 극복할 수 있다. 상기 단차 보상층(150)은 FOX, BPSG, SOG, 포토 레지스트, USG, PSG, BSG, 또는 TEOS 등과 같이 유동성을 가지는 물질로 구성된다.

<74> 도 5e를 참조하면, 상기 단차 보상층(150) 및 연마 저지층(140)을 제1 평탄화 공정으로 제거하여 제2 도전층(130)의 상면을 노출시킨다. 상기 제1 평탄화 고정은 SF_6 , CF_4 , 또는 CHF_3 등의 불소를 포함하는 가스 또는 상기 불소를 포함하는 가스에 Cl_2 를 첨가한 혼합 가스를 기초로 하는 불소 플라즈마를 이용하는 에치 백 공정으로 수행되는 것이 바람직하다. 이에 따라, 노출되는 제2 도전층(130)의 주변에는 단차 보상층(150) 및 연마 저지층(140)이 부분적으로 잔류하게 된다.

<75> 도 5f를 참조하면, 제2 평탄화 공정을 통하여 잔류하는 단차 보상층(150)을 제거하면서, 상기 소스 라인(120)이 노출될 때까지 제2 도전층(130), 연마 저지층(140) 및 스페이서(115)를 부분적으로 제거하여 플로팅 게이트(110)의 주변에 컨트롤 게이트(160)를 형성한다. 이에 따라, 제2 도전층(130)은 잔류하는 연마 저지층(140)과 스페이서(115) 사이에서 노출된다. 상기 제2 평탄화 공정은 SiO_2 나 Al_2O_3 등의 연마 입자, 산과 같은 에칭제 및 표면 안정화제를 함유하는 슬러리를 사용하는 화학 기계적 연마 공정을 이용하여 수행되는 것이 바람직하다.

- <76> 도 5g를 참조하면, 노출된 제2 도전층(130) 및 소스 라인(120)을 산화시켜 제2 도전층(130) 및 소스 라인(120) 상에 각기 제3 산화막(125, 135)을 형성한다. 이 때, 제3 산화막(125, 135)은 통상적인 열 산화법으로 형성되며, 제3 산화막(125, 135)은 후속하여 제2 도전층(130)을 식각하는 동안 마스크의 역할을 수행한다.
- <77> 도 5h를 참조하면, 제2 도전층(130) 상에 잔류하는 연마 저지층(140)을 인산을 사용하는 스트립 공정으로 제거한다. 따라서, 제2 도전층(130) 가운데 그 상부에 제3 산화막(135)이 위치하지 않은 부분이 노출된다. 이 때, 예를 들면, 실리콘 질화물로 이루어진 연마 저지층(140)을 인산(H_3PO_4)을 주성분으로 하는 식각액을 사용하여 약 180℃ 정도 온도에서 식각할 경우, 연마 저지층(140)을 완전히 제거할 수 있다.
- <78> 도 5i를 참조하면, 제2 도전층(130) 상에 형성된 제3 산화막(135)을 마스크로 하여 상기 노출된 제2 도전층(130)을 식각함으로써, 플로팅 게이트(111)에 인접하는 컨트롤 게이트(132)를 형성한다. 여기서, 제2 도전층(130)은 이방성 식각 방법인 건식 식각 공정으로 실시되는 것이 바람직하다. 예를 들면, 플라즈마 에칭 공정이나 반응성 이온(RIE) 에칭 공정으로 제2 도전층(130)을 식각한다. 이 때, 마스크로 사용된 제3 산화막(135)은 제2 도전층(130)을 식각하는 과정에서 대부분 소모되며, 후속하는 세정 공정 및 실리사이드(silicide) 전 처리 공정을 통하여 모두 제거된다.
- <79> 이어서, 컨트롤 게이트(132)에 인접하는 반도체 기판(200) 상에 질화물 스페이서(도시되지 않음)를 형성하고 드레인 영역(도시되지 않음)을 형성한 후, 실리사이드 공정 및 메탈 공정을 통하여, 컨트롤 게이트(132)의 상부 및 주변에 금속 배선과 드레인 콘택을 형성하여 플래쉬 메모리 장치를 완성한다.

<80> 본 실시예에 따르면, 단차 보상층을 적용한 2회의 평탄화 공정을 통하여 컨트롤 게이트를 형성하기 컨트롤 게이트를 포함하는 구조물들의 평탄도를 크게 개선할 수 있다. 또한, 사진 식각 공정을 이용하지 않고 자기정렬 방식에 의하여 스플릿 게이트형 플래쉬 메모리 장치를 제조하기 때문에 반도체 장치를 구성하는 구조물들을 안정적으로 형성할 수 있다.

【발명의 효과】

<81> 본 발명에 의하면, 단차 보상층을 채용하고 수회의 평탄화 공정을 통하여 반도체 기판 상에 도전성 패턴 및 컨트롤 게이트 등을 포함하는 반도체 장치의 구조물을 형성하기 때문에 도전성 패턴이나 반도체 장치 구조물의 평탄도를 크게 향상시킬 수 있다. 따라서, 반도체 장치의 특성을 일정하게 유지할 수 있으며, 반도체 장치의 신뢰도를 향상시킬 수 있다.

<82> 또한, 일차적으로 에치 백 공정으로 평탄화된 연마 저지층과 도전층을 이차 평탄화 공정인 화학 기계적 연마 공정으로 연마하기 때문에 도전성 패턴이나 반도체 장치의 구조물을 형성하기 위한 화학 기계적 연마 공정의 공정 시간을 현저하게 단축할 수 있다. 그 결과, 전체적인 반도체 제조 공정에 소요되는 시간을 단축할 수 있을 뿐만 아니라 반도체 장치의 제조 원가를 절감할 수 있다.

<83> 상술한 바에 따르면 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 도전층을 형성하는 단계;

상기 도전층을 포함하는 상기 반도체 기판 상에 연마 저지층을 형성하는 단계;

상기 도전층에 의해 발생하는 상기 연마 저지층의 단차를 완화하기 위하여 상기 연마 저지층 상에 단차 보상층을 형성하는 단계;

상기 단차 보상층 및 상기 연마 저지층을 부분적으로 제거하여 상기 도전층을 노출시키는 단계; 및

상기 도전층을 식각하여 상기 반도체 기판 상에 도전성 패턴을 형성하는 단계를 포함하는 반도체 장치의 도전성 패턴 형성 방법.

【청구항 2】

제 1 항에 있어서, 상기 연마 저지층은 탄소, 산화물 및 질화물로 이루어진 그룹 중에서 선택된 어느 하나로 형성되는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

【청구항 3】

제 2 항에 있어서, 상기 연마 저지층은 실리콘 질화물, 알루미늄 산화물, 다이아몬드상 탄소(diamond phased carbon), 알루미늄 질화물 및 보론 질화물로 이루어진 그룹 중에서 선택된 어느 하나로 형성되는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 4】

제 1 항에 있어서, 상기 단차 보상층은 유동성을 갖는 물질로 형성되는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

【청구항 5】

제 4 항에 있어서, 상기 단차 보상층은 FOX, BPSG, SOG, 포토레지스트, USG, PSG, BSG 및 TEOS로 이루어진 그룹으로부터 선택된 어느 하나로 형성되는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

【청구항 6】

제 4 항에 있어서, 상기 단차 보상층은 화학 기상 증착 방법 또는 스핀 코팅 방법으로 형성되는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

【청구항 7】

제 1 항에 있어서, 상기 도전층을 노출시키는 단계는 제1 평탄화 공정을 이용하여 상기 단차 보상층 및 상기 연마 저지층을 부분적으로 제거하는 단계인 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

【청구항 8】

제 7 항에 있어서, 상기 제1 평탄화 공정은 에치 백 공정인 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

【청구항 9】

제 7 항에 있어서, 상기 도전성 패턴을 형성하는 단계는 제2 평탄화 공정을 통하여 상기 단차 보상층, 상기 연마 저지층 및 상기 도전층을 식각하는 단계인 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

【청구항 10】

제 9 항에 있어서, 상기 제2 평탄화 공정은 화학 기계적 연마 공정인 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

【청구항 11】

제 9 항에 있어서, 상기 도전성 패턴을 형성하는 단계는 상기 도전성 패턴 주변의 상기 연마 저지막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

【청구항 12】

제 11 항에 있어서, 상기 연마 저지막을 인산을 포함하는 식각액으로 제거하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

【청구항 13】

반도체 기판 상에 플로팅 게이트를 포함하는 구조물을 형성하는 단계;

상기 구조물을 포함하는 반도체 기판 상에 도전층을 형성하는 단계;

상기 도전층상에 연마 저지층을 형성하는 단계;

상기 구조물에 의해 발생하는 상기 연마 저지층의 단차를 완화하기 위하여 상기 연마 저지층 상에 단차 보상층을 형성하는 단계;

상기 단차 보상층 및 상기 연마 저지막을 부분적으로 제거하여 상기 도전층을 노출시키는 단계;

상기 도전층을 부분적으로 식각하여 상기 구조물에 인접하는 도전성 패턴을 형성하는 단계;

상기 도전성 패턴 상에 산화막을 형성하는 단계; 및

상기 산화막을 마스크로 하여 상기 도전성 패턴을 식각하여 상기 플로팅 게이트에 인접하는 컨트롤 게이트를 형성하는 단계를 포함하는 불휘발성 메모리 장치의 제조 방법

【청구항 14】

제 13 항에 있어서, 상기 도전층을 노출시키는 단계는 제1 평탄화 공정을 이용하여 상기 단차 보상층 및 상기 연마 저지층을 부분적으로 제거하는 단계인 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

【청구항 15】

제 14 항에 있어서, 상기 제1 평탄화 공정은 에치 백 공정인 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

【청구항 16】

제 13 항에 있어서, 상기 도전성 패턴을 형성하는 단계는 제2 평탄화 공정을 통하여 상기 단차 보상층, 상기 연마 저지층 및 상기 도전층을 식각하는 단계인 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

【청구항 17】

제 16 항에 있어서, 상기 제2 평탄화 공정은 화학 기계적 연마 공정인 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

【청구항 18】

제 13 항에 있어서, 상기 산화막은 상기 도전성 패턴을 산화시켜 형성되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

【청구항 19】

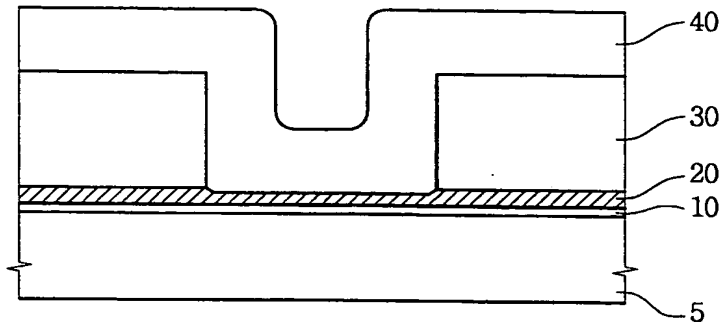
제 13 항에 있어서, 상기 컨트롤 게이트를 형성하는 단계는 상기 도전성 패턴 주변에 잔류하는 상기 연마 저지막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

【청구항 20】

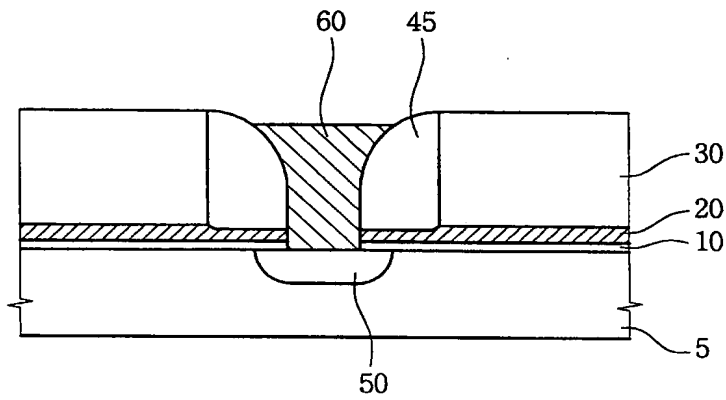
제 19 항에 있어서, 상기 연마 저지막을 인산을 포함하는 식각액으로 제거하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

【도면】

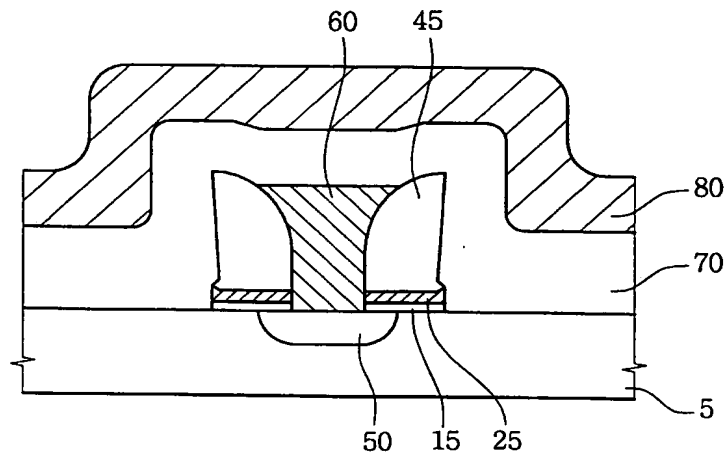
【도 1a】



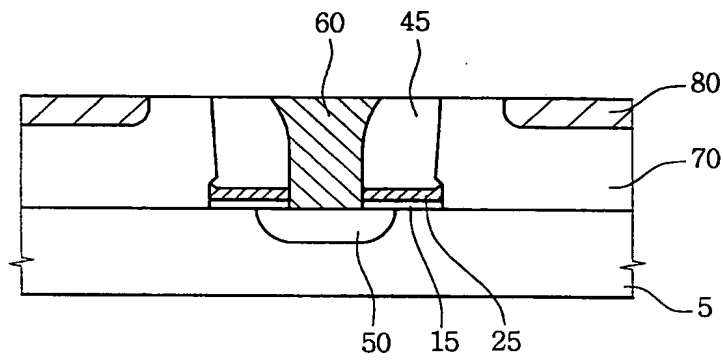
【도 1b】



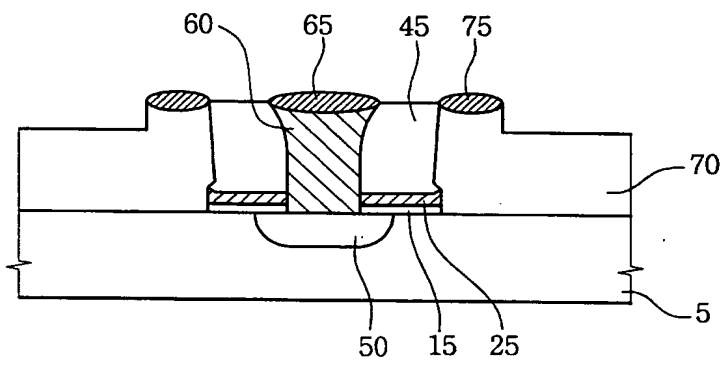
【도 1c】



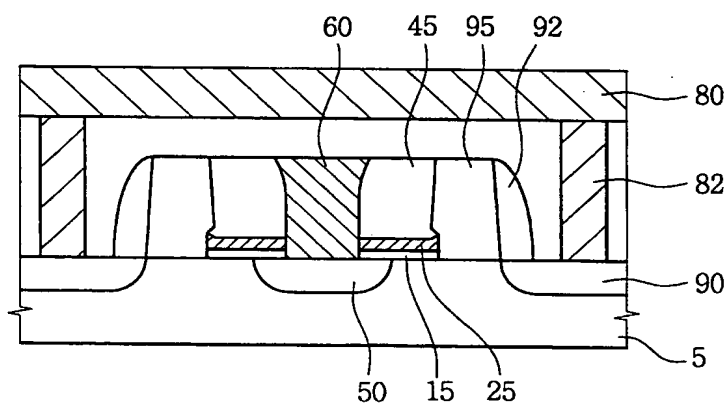
【도 1d】



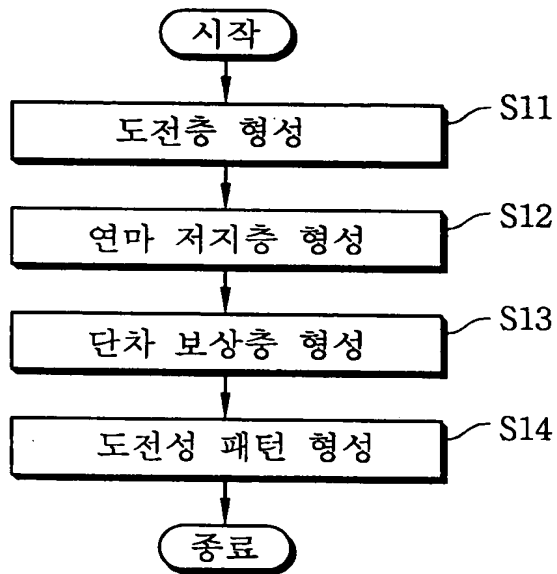
【도 1e】



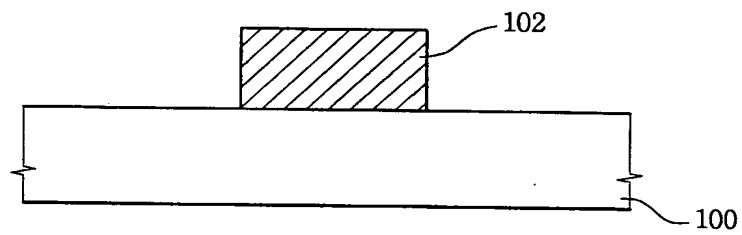
【도 1f】



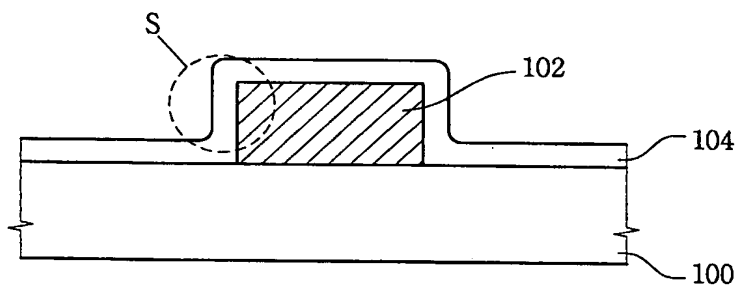
【도 2】



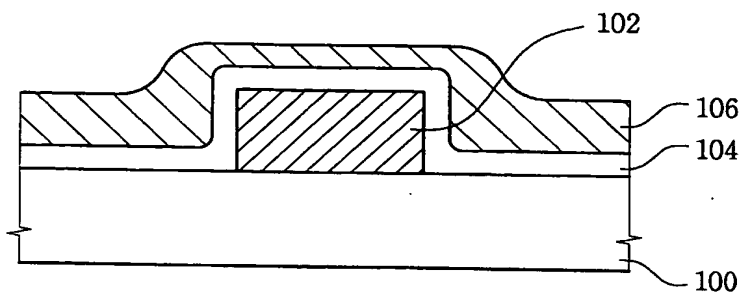
【도 3a】



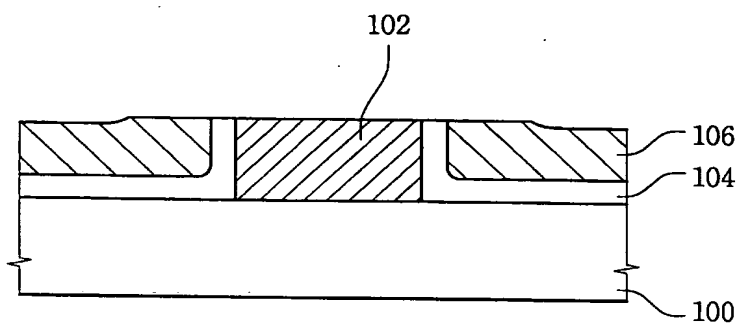
【도 3b】



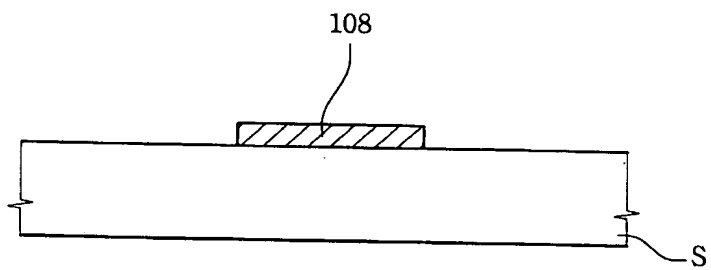
【도 3c】



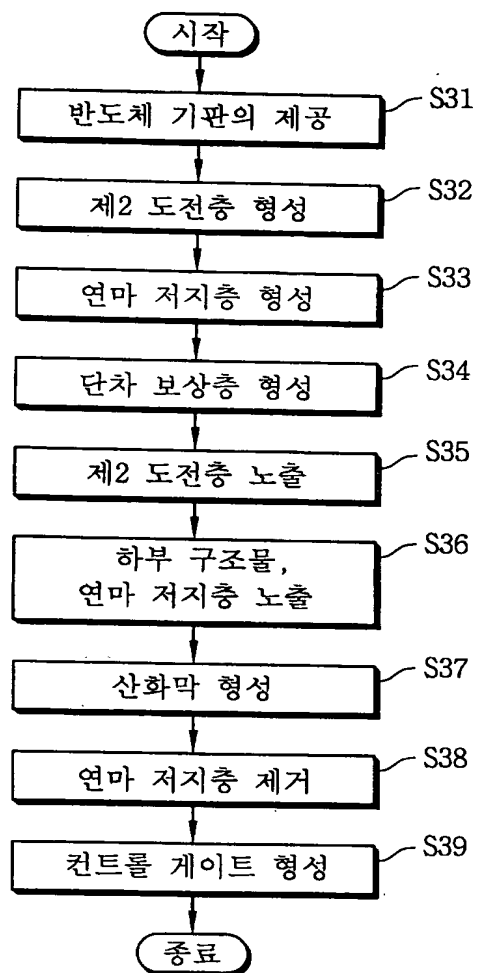
【도 3d】



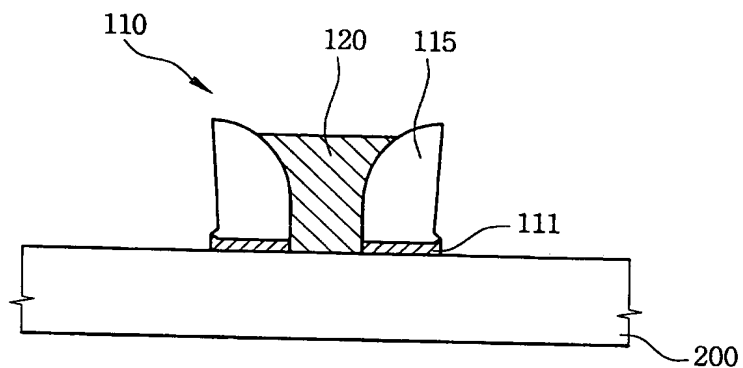
【도 3e】



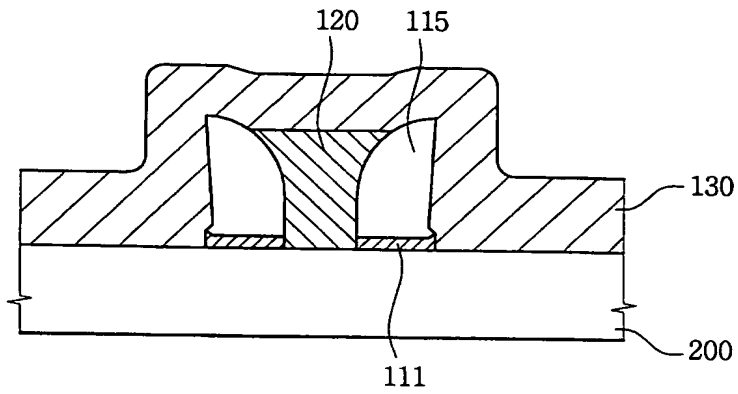
【도 4】



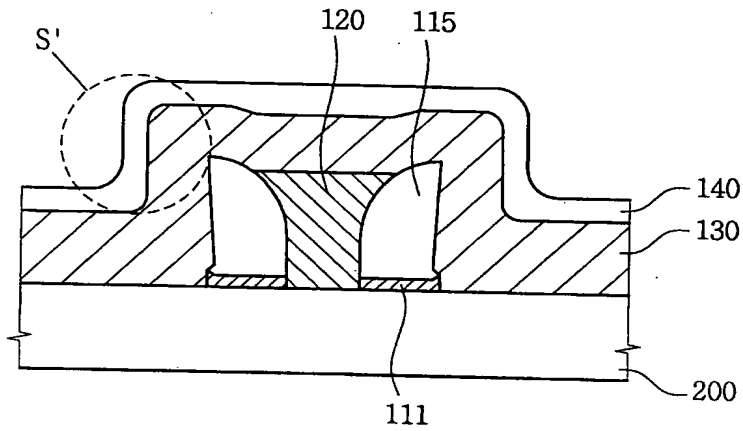
【도 5a】



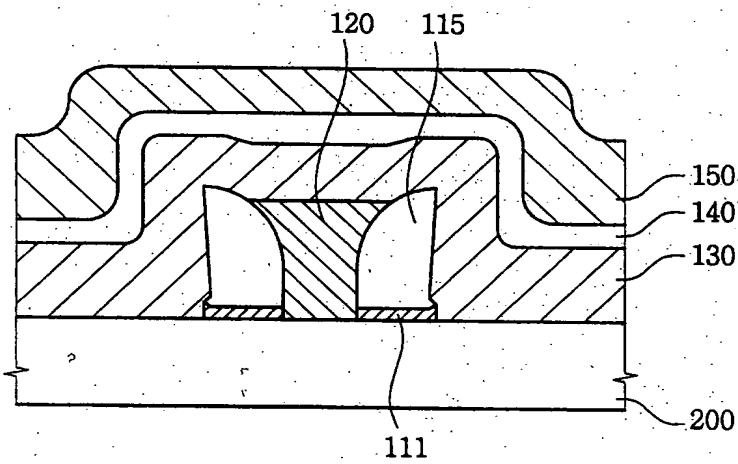
【도 5b】



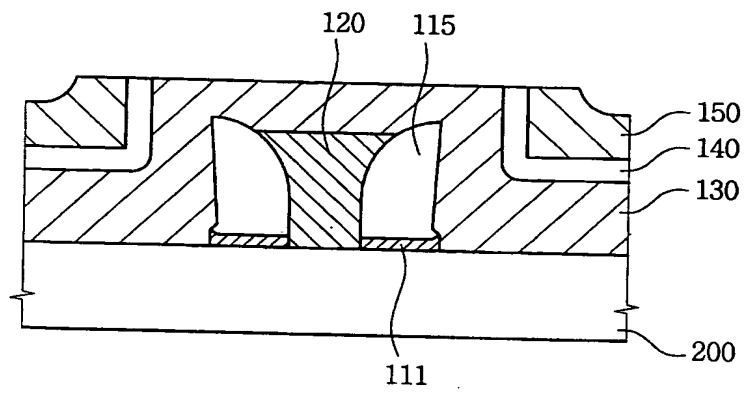
【도 5c】



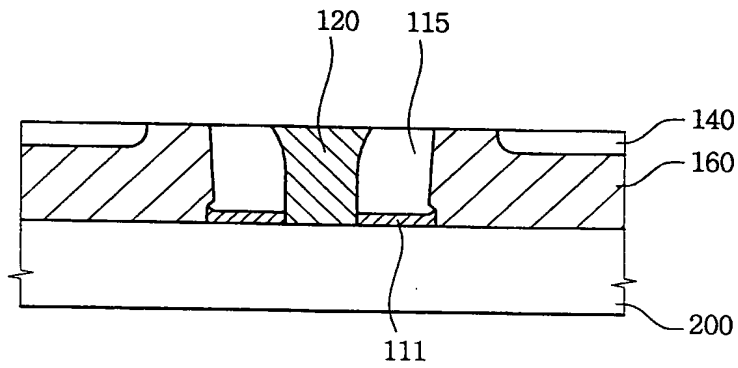
【도 5d】



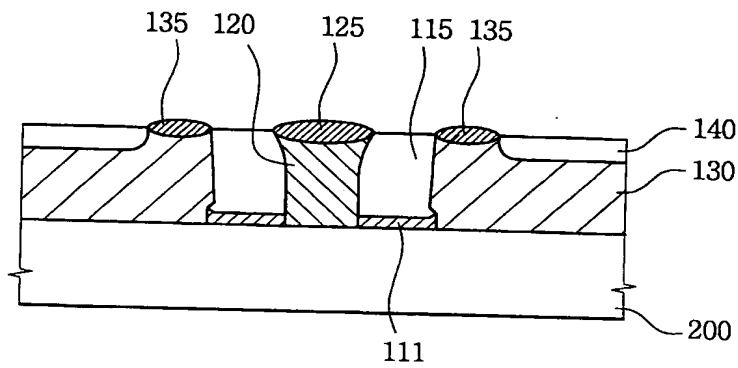
【도 5e】



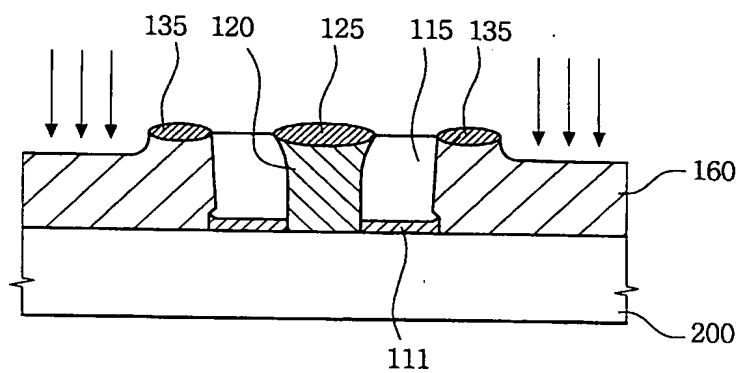
【도 5f】



【도 5g】



【도 5h】



【도 5i】

